

MANUFACTURE OF SEMICONDUCTOR SUBSTRATE

Publication number: JP11233449

Publication date: 1999-08-27

Inventor: YAMAUCHI SHOICHI; MATSUI MASAKI; OSHIMA HISAZUMI

Applicant: DENSO CORP

Classification:

- **international:** H01L21/762; H01L21/02; H01L21/265; H01L27/12;
H01L21/70; H01L21/02; H01L27/12; (IPC1-7):
H01L21/265; H01L21/762; H01L27/12

- **european:**

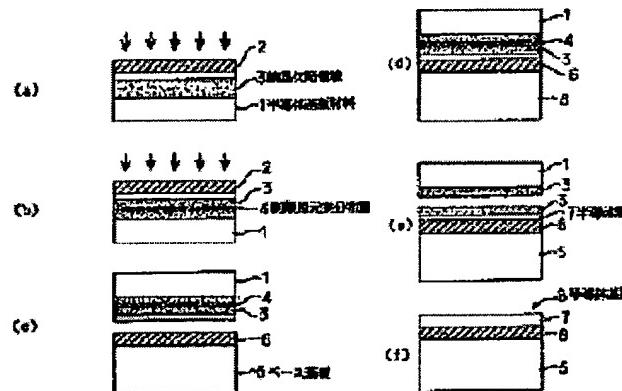
Application number: JP19980031037 19980213

Priority number(s): JP19980031037 19980213

[Report a data error here](#)

Abstract of JP11233449

PROBLEM TO BE SOLVED: To improve uniformity in the film thickness of a semiconductor layer and reduce the time required for manufacturing, in manufacturing a semiconductor substrate having a semiconductor layer electrically insulated from a base substrate provided on the base substrate. **SOLUTION:** A SOI substrate 8 is completed by carrying out (a) a first ion implantation step of implanting fluorine ions into a single crystal silicon substrate 1 having a contamination protective film 2 formed thereon and thus forming a crystal defect region 3, (b) a second ion implantation step of implanting hydrogen ions into the single crystal silicon substrate 1 and thus forming a peel-off element distribution layer 4 in the crystal defect region 3, (c) and (d) a bonding step of carrying out hydrophilic treatment on the surfaces of the single crystal silicon substrate 1 and a base substrate 5 and then bonding the substrates 1 and 5 on the hydrophilic-treated surfaces, (e) a peel-off step of peeling off the single crystal silicon substrate 1 at the part of the peel-off element distribution layer 4 by heat treatment and thus forming a single crystal silicon thin film 7, and (f) a planarization step of improving the surface roughness of the peel-off surface of the single crystal silicon thin film 7.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-233449

(43)公開日 平成11年(1999)8月27日

(51)Int.Cl.⁶
H 01 L 21/265
21/762
27/12

識別記号

F I
H 01 L 21/265
27/12
21/76

Q
B
D

審査請求 未請求 請求項の数14 OL (全 14 頁)

(21)出願番号

特願平10-31037

(22)出願日

平成10年(1998)2月13日

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 山内 庄一

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72)発明者 松井 正樹

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72)発明者 大島 久純

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

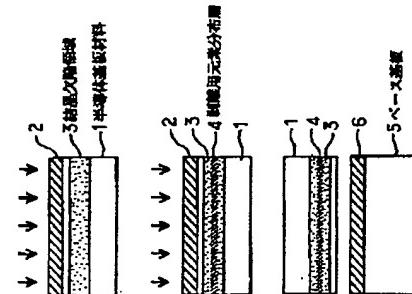
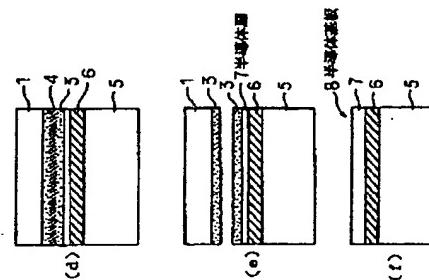
(74)代理人 弁理士 佐藤 強

(54)【発明の名称】 半導体基板の製造方法

(57)【要約】

【課題】 ベース基板上にこれと電気的に絶縁した状態の半導体層を設けて成る半導体基板を製造するに当たって、その半導体層の膜厚均一性を高めること、並びに製造に要する時間を短縮すること。

【解決手段】 (a) 汚染保護膜2を成膜した単結晶シリコン基板1にフッ素イオンを注入して結晶欠陥領域3を形成する第1のイオン注入工程、(b) 単結晶シリコン基板1に対し水素イオンを注入して、結晶欠陥領域3中に剥離用元素分布層4を形成する第2のイオン注入工程、(c) (d) 単結晶シリコン基板1及びベース基板5の表面に親水化処理を施した後に両基板1及び5を親水化処理面で貼り合わせる貼り合わせ工程、(e) 热処理により単結晶シリコン基板1を剥離用元素分布層4部分で剥離して単結晶シリコン薄膜7を形成する剥離工程、(f) 単結晶シリコン薄膜7の剥離面の面粗度向上させる平坦化工程を行い、SOI基板8を完成させ る。



【特許請求の範囲】

【請求項 1】 ベース基板（5）上に、当該ベース基板（5）と電気的に絶縁した状態で素子形成用の半導体層（7）を設けて成る半導体基板（8、16）の製造方法において、

前記半導体層（7）を形成するための半導体基板材料（1）の表面から重量が比較的大きいイオンを注入することにより、所定深さ範囲に分布した結晶欠陥領域（3、12）を形成する第1のイオン注入工程と、この第1のイオン注入工程の実行後若しくは実行前に、前記半導体基板材料（1）の表面から第1のイオン注入工程とは異なるイオンを注入することにより、前記結晶欠陥領域（3、12）に剥離用元素分布層（4）を形成する第2のイオン注入工程と、前記ベース基板（5）と前記半導体基板材料（1）とを貼り合わせる貼り合わせ工程と、

熱処理を行うことによって前記半導体基板材料（1）を前記剥離用元素分布層（4）部分で剥離して前記半導体層（7）を形成する剥離工程とを実行することを特徴とする半導体基板の製造方法。

【請求項 2】 前記第1のイオン注入工程では、水素、ヘリウム以外のイオン重量が比較的大きく且つ熱処理に応じて半導体基板材料（1）中から脱離可能なイオン種を使用することを特徴とする請求項1記載の半導体基板の製造方法。

【請求項 3】 前記第2のイオン注入工程では、水素、希ガスなどの原子イオン若しくは分子イオンを用いることを特徴とする請求項1または2記載の半導体基板の製造方法。

【請求項 4】 ベース基板（5）上に、当該ベース基板（5）と電気的に絶縁した状態で素子形成用の半導体層（7）を設けて成る半導体基板（8）の製造方法において、

前記半導体層（7）を形成するための半導体基板材料（1）の表面から重量が比較的大きいイオンを注入することにより、所定深さ範囲に分布した結晶欠陥領域（3）を形成するイオン注入工程と、

このイオン注入工程の実行後に、当該イオン注入工程での注入イオン元素と異なる元素を含む雰囲気中において、前記半導体基板材料（1）に対しその剥離現象が生じる温度より低い温度の熱処理を施すことにより、上記元素を前記結晶欠陥領域（3）中に取り込んで当該結晶欠陥領域（3）中に剥離用元素分布層（17）を形成する拡散工程と、

前記ベース基板（5）と前記半導体基板材料（1）とを貼り合わせる貼り合わせ工程と、熱処理を行うことによって前記半導体基板材料（1）を前記剥離用元素分布層（17）部分で剥離して前記半導体層（7）を形成する剥離工程とを実行することを特徴とする半導体基板の製造方法。

【請求項 5】 前記拡散工程では、前記半導体基板材料

（1）に対する熱処理を、当該半導体基板材料（1）の剥離現象を引き起こすための元素若しくはその元素の化合物を含むガス雰囲気中において行うことを特徴とする請求項4記載の半導体基板の製造方法。

【請求項 6】 前記拡散工程では、前記半導体基板材料（1）に対する熱処理を、当該半導体基板材料（1）の剥離現象を引き起こすための元素若しくはその元素の化合物をプラズマ化した雰囲気中で行うことを特徴とする請求項4記載の半導体基板の製造方法。

【請求項 7】 前記拡散工程では、水素、希ガス元素若しくは水素化物を用いることを特徴とする請求項4ないし6の何れかに記載の半導体基板の製造方法。

【請求項 8】 ベース基板（5）上に、当該ベース基板（5）と電気的に絶縁した状態で素子形成用の半導体層（7）を設けて成る半導体基板（8）の製造方法において、

前記半導体層（7）を形成するための半導体基板材料（1）の表面から重量が比較的大きいイオンを注入することにより、所定深さ範囲に分布した結晶欠陥領域（3）を形成するイオン注入工程と、

前記半導体基板材料（1）上に水素化アモルファス半導体膜（18）を成膜する成膜工程と、

この成膜工程を経た前記半導体基板材料（1）に対し、当該半導体基板材料（1）で剥離現象が生じる温度より低い温度の熱処理を施すことにより、前記水素化アモルファス半導体膜（18）中から拡散する水素を前記結晶欠陥領域（3）中に取り込んで当該結晶欠陥領域（3）中に剥離用元素分布層（17）を形成する拡散工程と、前記ベース基板（5）と前記半導体基板材料（1）とを貼り合わせる貼り合わせ工程と、熱処理を行うことによって前記半導体基板材料（1）を前記剥離用元素分布層（17）部分で剥離して前記半導体層（7）を形成する剥離工程とを実行することを特徴とする半導体基板の製造方法。

【請求項 9】 前記貼り合わせ工程の実行前に、前記水素化アモルファス半導体膜（18）を取り除く除去工程を実行することを特徴とする請求項8記載の半導体基板の製造方法。

【請求項 10】 ベース基板（5）上に、当該ベース基板（5）と電気的に絶縁した状態で素子形成用の半導体層（7）を設けて成る半導体基板（8'）の製造方法において、

前記半導体層（7）を形成するための半導体基板材料（1）の表面から重量が比較的大きいイオンを注入することにより、所定深さ範囲に分布した結晶欠陥領域（3）を形成するイオン注入工程と、

前記ベース基板（5）上に水素化アモルファス半導体膜（19）を成膜する成膜工程と、

前記ベース基板（5）の水素化アモルファス半導体膜

(19) 側の面と前記半導体基板材料(1)とを貼り合わせる貼り合わせ工程と、

この貼り合わせ工程を経た前記ベース基板(5)及び半導体基板材料(1)の一体物に対し、当該半導体基板材料(1)で剥離現象が生じる温度より低い温度の熱処理を施すことにより、前記水素化アモルファス半導体膜

(19) 中から拡散する水素を前記結晶欠陥領域(3)中に取り込んで当該結晶欠陥領域(3)中に剥離用元素分布層(17)を形成する拡散工程と、
熱処理を行うことによって前記半導体基板材料(1)を前記剥離用元素分布層(17)部分で剥離して前記半導体層(7)を形成する剥離工程とを実行することを特徴とする半導体基板の製造方法。

【請求項11】前記イオン注入工程では、水素、ヘリウム以外のイオン重量が比較的大きいイオン種を使用することを特徴とする請求項4ないし10の何れかに記載の半導体基板の製造方法。

【請求項12】ベース基板(5)上に、当該ベース基板(5)と電気的に絶縁した状態で素子形成用の半導体層(7)を設けて成る半導体基板(8)の製造方法において、

前記半導体層(7)を形成するための半導体基板材料

(1)の表面から、水素及び重量が比較的大きい結晶欠陥形成用元素の化合物より成る水素化物分子イオンを注入することにより、所定深さ範囲に分布した上記結晶欠陥形成用元素より成る結晶欠陥領域(20)並びにこの結晶欠陥領域(20)中に位置した水素より成る剥離用元素分布層(21)を形成するイオン注入工程と、

前記ベース基板(5)と前記半導体基板材料(1)とを貼り合わせる貼り合わせ工程と、

熱処理を行うことによって前記半導体基板材料(1)を前記剥離用元素分布層(21)部分で剥離して前記半導体層(7)を形成する剥離工程とを実行することを特徴とする半導体基板の製造方法。

【請求項13】前記貼り合わせ工程の実行前において、前記半導体基板材料(1)の表面側に加工処理を行うことにより埋込パターン構造(11)を形成するパターン構造形成工程を実行し、この後に前記剥離工程を行うことにより、前記ベース基板(5)及び半導体層(7)間に前記埋込パターン構造(11)を設けることを特徴とする請求項1ないし12の何れかに記載の半導体基板の製造方法。

【請求項14】前記貼り合わせ工程の実行前において、前記ベース基板(5)の表面側に加工処理を行うことにより埋込パターン構造(11)を形成するパターン構造形成工程を実行し、

この後に前記剥離工程を行うことにより、前記ベース基板(5)及び半導体層(7)間に前記埋込パターン構造(11)を設けることを特徴とする請求項1ないし12の何れかに記載の半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ベース基板上にこれと電気的に絶縁した状態で素子形成用の半導体層を設けて成る半導体基板の製造方法に関する。

【0002】

【従来の技術】この種の半導体基板としては、例えば、半導体層として単結晶シリコン薄膜を設ける構成としたSOI基板がある。このようなSOI基板は従来より種々の方法で製造されているが、比較的簡単に製造できる方法として、特開平5-211128号公報中に記載されたような製造方法が知られている。

【0003】即ち、この製造方法は、第1段階として、上面に汚染保護用の酸化膜が成膜された単結晶シリコン基板中へ、その酸化膜側から水素ガス若しくは希ガスをイオン注入することにより、単結晶シリコン基板の所定深さに注入イオンが分布したイオン注入層を形成する。次に、第2段階として、上記単結晶シリコン基板のイオン注入側の面に、絶縁膜により被覆されたシリコンウェハより成るベース基板を貼り合わせ法などにより結合させる。さらに、第3段階として、上記単結晶シリコン基板及びベース基板の一体物に対して熱処理を施すことにより、前記イオン注入層に形成されるマイクロボイド部分を境界とした剥離現象を引き起こす。これにより、ベース基板上に絶縁膜を介して単結晶シリコン薄膜が接着された状態のSOI基板が形成される。

【0004】

【発明が解決しようとする課題】上記のような製造方法では、単結晶シリコン基板中で剥離現象を引き起こすのに十分な状態のイオン注入層を形成するためには、イオンのドーズ量をきわめて多量に設定する必要がある（水素イオンの場合、 $1 \times 10^{16} \sim 1 \times 10^{17}$ atoms/cm²程度）。このため、そのイオン注入工程でのスループットが悪化して、SOI基板の製造に長時間を要するという問題点が出てくる。

【0005】これに対して、基板剥離現象をヘリウム・水素2段イオン注入技術（ヘリウム： 5×10^{15} atoms/cm²、水素： $1 \cdot 5 \times 10^{16}$ atoms/cm²）によって達成可能であることが知られている（第58回応用物理学会学術講演会講演予稿集（1997.10/秋田大学）の第2分冊、818頁、3p-PB-2参照）。しかしながら、この技術をSOI基板加工に適用したとしても水素のみを注入した場合に比較してさほど注入量は低減できない。従って、ヘリウム・水素2段イオン注入はスループットの点から考えても必ずしも有効な手法とは考えにくい。

【0006】また、一般的に固体中に注入されたイオンの分布は、平均的な注入深さに対してある程度の広がりを持って分布する。この注入深さの広がりは基板剥離によって得られる薄膜層の膜厚の均一性に影響を与えると

考えられる。注入深さの広がりを決める要因は様々であるが、注入量が大きくなると注入元素の空間的な分布量が多くなるため深さ方向の広がりも大きくなる。従って、注入量を低減させることができれば、基板剥離によって得られる薄膜の膜厚均一性の向上も可能となる。

【0007】本発明は上記のような問題点を解決するためになされたものであり、その目的は、基板剥離工程で用いるイオン注入量の低減若しくは注入工程の削減を図ることにある。特に、イオン注入量を低減することにより製造に要する時間を大幅に短縮可能となり、場合によつては剥離した薄膜の膜厚均一性を向上させることができる半導体基板の製造方法を提供することにある。

【0008】

【課題を解決するための手段】請求項1に記載した半導体基板の製造方法によれば、第1のイオン注入工程において、半導体基板材料(1)の表面から重量が比較的大きいイオンが注入されて所定深さ範囲に分布した結晶欠陥領域(3、12)が形成され、この第1のイオン注入工程の実行後若しくは実行前に行われる第2のイオン注入工程において、前記半導体基板材料(1)の表面から第1のイオン注入工程とは異なるイオンが注入されて、前記結晶欠陥領域(3、12)中に上記半導体基板材料(1)の剥離現象を引き起こすための剥離用元素分布層(4)が形成される。

【0009】次いで、貼り合わせ工程において、前記ベース基板(5)と前記半導体基板材料(1)とが貼り合わされた後に、剥離工程において熱処理が施される。このような熱処理に伴い、半導体基板材料(1)において前記剥離用元素分布層(4)部分で生じた微小気泡の圧力上昇により、当該剥離用元素分布層(4)部分を境界とした剥離が生ずる。この結果、ベース基板(5)上に素子形成用の半導体層(7)を薄膜状に形成できることになる。

【0010】このような製造方法によれば、第1のイオン注入工程では、結晶欠陥領域(3、12)が、比較的大きい重量のイオンの注入により効率良く形成されることになって、そのドーズ量を多くする必要がなくなる。また、第2のイオン注入工程において、上記結晶欠陥領域(3、12)中に第1のイオン注入工程とは異なるイオンを注入して剥離用元素分布層(4)を形成した場合には、当該イオンにより剥離用元素分布層のみを形成した場合に比べて、半導体基板材料(1)に剥離現象を引き起こすのに必要なドーズ量が大幅に減少すると考えられる。

【0011】このため、第1のイオン注入工程及び第2のイオン注入工程を行うものでありながら、各イオン注入工程でのドーズ量を、1回のイオン注入により剥離用元素分布層を形成する場合に比べて大幅に低減させることができる。この結果、第1及び第2のイオン注入工程

でのスループットが向上して、半導体基板(8、16)の製造に要する時間を大幅に短縮できるようになる。また、第1のイオン注入工程を行った後に第2のイオン注入工程を行うようにした場合、つまり結晶欠陥領域

(3、12)中に後から剥離用元素分布層(4)を形成するようにした場合には、その剥離用元素分布層(4)の深さ位置のばらつき(観測値は±3σの範囲)が、1回のイオン注入により剥離用元素分布層を形成する場合に比べて1/3程度に小さくなることが実験的に分かっている。このため、第1及び第2のイオン注入工程をこの順に行うようにすれば、剥離用元素分布層(4)の深さ位置がイオン注入対象の半導体基板材料(1)の各ロット毎に安定するようになって、半導体層(7)の膜厚均一性を高めることができる。

【0012】請求項4に記載した半導体基板の製造方法によれば、イオン注入工程において、半導体基板材料

(1)の表面から重量が比較的大きいイオンが注入されて所定深さ範囲に分布した結晶欠陥領域(3)が形成され、この後の拡散工程において、前記半導体基板材料(1)に対しその剥離現象が生じる温度より低い温度の熱処理が施されるのに応じて、上記元素が前記結晶欠陥領域(3)中に取り込まれ、当該結晶欠陥領域(3)中に位置した状態の剥離用元素分布層(17)が形成されるようなる。

【0013】次いで、貼り合わせ工程において、前記ベース基板(5)と前記半導体基板材料(1)とが貼り合わされた後に、剥離工程において熱処理が施される。このような熱処理に伴い、半導体基板材料(1)において前記剥離用元素分布層(17)部分で生じた微小気泡の圧力上昇により、当該剥離用元素分布層(17)部分を境界とした剥離が生ずる。この結果、ベース基板(5)上に素子形成用の半導体層(7)を薄膜状に形成できることになる。

【0014】このような製造方法によれば、イオン注入工程では、結晶欠陥領域(3)が、比較的大きい重量のイオンの注入により効率良く形成されることになって、そのドーズ量を多くする必要がなくなる。このイオン注入工程後に拡散工程が行われる構成、つまり結晶欠陥領域(3)中に後から剥離用元素分布層(17)が形成される構成により、基板剥離を達成する。

【0015】請求項8に記載した半導体基板の製造方法によれば、イオン注入工程において、半導体基板材料

(1)の表面から重量が比較的大きいイオンが注入されて所定深さ範囲に分布した結晶欠陥領域(3)が形成されると共に、成膜工程において、半導体基板材料(1)上に水素化アモルファス半導体膜(18)が成膜される。そして、この後の拡散工程において、前記半導体基板材料(1)に対しその剥離現象が生じる温度より低い温度の熱処理が施されるのに応じて、上記水素化アモルファス半導体膜(18)中から拡散する水素が前記結晶

欠陥領域（3）中に取り込まれて当該結晶欠陥領域

（3）中に位置した状態の剥離用元素分布層（17）が形成される。

【0016】次いで、貼り合わせ工程において、前記ベース基板（5）と前記半導体基板材料（1）とが貼り合わされた後に、剥離工程において熱処理が施される。このような熱処理に伴い、半導体基板材料（1）において前記剥離用元素分布層（17）部分で生じた微小気泡の圧力上昇により、当該剥離用元素分布層（17）部分を境界とした剥離が生ずる。この結果、ベース基板（5）上に素子形成用の半導体層（7）を薄膜状に形成できることになる。

【0017】このような製造方法によっても、イオン注入工程では、結晶欠陥領域（3）が、比較的大きい重量のイオンの注入により効率良く形成されることになって、そのドーズ量を多くする必要がなくなる。また、水素供給源となる水素化アモルファス半導体膜（18）の成膜工程が行われた後に、その水素を上記結晶欠陥領域（3）に取り込む拡散工程が行われる構成、つまり結晶欠陥領域（3）中に後から剥離用元素分布層（17）が形成される構成により、基板剥離を達成する。

【0018】請求項10に記載した半導体基板の製造方法によれば、イオン注入工程において、半導体基板材料（1）の表面から比較的重量の大きいイオンが注入されて所定深さ範囲に分布した結晶欠陥領域（3）が形成されると共に、成膜工程において、ベース基板（5）上に水素化アモルファス半導体膜（19）が成膜される。この後、貼り合わせ工程において、前記ベース基板（5）の前記水素化アモルファス半導体膜（19）側の面と前記半導体基板材料（1）とが貼り合わされる。さらに、拡散工程において、前記ベース基板（5）及び半導体基板材料（1）の一体物に対しその半導体基板材料（1）で剥離現象が生じる温度より低い温度の熱処理が施されるのに応じて、上記水素化アモルファス半導体膜（19）中から拡散する水素が前記結晶欠陥領域（3）中に取り込まれ、当該結晶欠陥領域（3）中に位置した状態の剥離用元素分布層（17）が形成されるようになる。

【0019】次いで、剥離工程において熱処理が施されるのに伴い、半導体基板材料（1）において前記剥離用元素分布層（17）部分で生じた微小気泡の圧力上昇により、当該剥離用元素分布層（17）部分を境界とした剥離が生ずる。この結果、ベース基板（5）上に素子形成用の半導体層（7）を薄膜状に形成できることになる。

【0020】このような製造方法によっても、イオン注入工程では、結晶欠陥領域（3）が、比較的大きい重量のイオンの注入により効率良く形成されることになって、そのドーズ量を多くする必要がなくなる。また、ベース基板（5）側に水素供給源となる水素化アモルファス半導体膜（19）を成膜する成膜工程、及びこのベー

ス基板（5）と半導体基板材料（1）を貼り合わせる貼り合わせ工程が行われた後に、その水素化アモルファス半導体（19）中の水素を前記結晶欠陥領域（3）に取り込む拡散工程が行われる構成、つまり結晶欠陥領域

（3）中に後から剥離用元素分布層（17）が形成される構成により、基板剥離を達成する。

【0021】請求項12に記載した半導体基板の製造方法によれば、イオン注入工程において、半導体基板材料（1）の表面から、水素及び重量が比較的大きい結晶欠陥形成用元素の化合物より成る水素化分子イオンが注入されるのに応じて、所定深さ範囲に分布した上記結晶欠陥形成用元素より成る結晶欠陥領域（20）並びにこの結晶欠陥領域（20）中に位置した水素より成る剥離用元素分布層（21）が形成される。そして、貼り合わせ工程において、ベース基板（5）と半導体基板材料（1）とが貼り合わされた後に、剥離工程において熱処理が施されるのに伴い、半導体基板材料（1）において前記剥離用元素分布層（21）部分で生じた微小気泡の圧力上昇により、当該剥離用元素分布層（21）部分を境界とした剥離が生ずる。この結果、ベース基板（5）上に素子形成用の半導体層（7）を薄膜状に形成できることになる。

【0022】このような製造方法によれば、1回のイオン注入工程によって、重量が比較的大きい元素による結晶欠陥領域（20）と、この結晶欠陥領域（20）中に位置された水素による剥離用元素分布層（21）が同時に形成されることになり、このように異なる元素より成る結晶欠陥領域（20）及び剥離用元素分布層（21）が形成される結果、イオンのドーズ量を多くする必要がなくなる。このため、イオン注入工程でのスループットが向上するようになり、また、複数回に分けてイオン注入を行う必要がなくなるため、総じて半導体基板（8）の製造に要する時間を大幅に短縮できるようになる。

【0023】

【発明の実施の形態】（第1の実施の形態）図1及び図2には本発明をSOI基板の製造方法に適用した第1実施例が示されており、以下これについて説明する。図1には、SOI基板を製造する場合の基本工程が模式的な断面図により示されている。即ち、図1（a）に示す第1のイオン注入工程では、単結晶シリコン基板1（本発明でいう半導体基板材料に相当）上に、熱酸化などによってシリコン酸化膜より成る汚染保護膜2を成膜した上で、その単結晶シリコン基板1に対し、図中矢印で示すように汚染保護膜2側から例えばフッ素イオンを注入することにより、所定深さ範囲に単結晶シリコン基板1の表面と平行した状態で分布した結晶欠陥領域3を形成する。

【0024】この場合、フッ素イオンのドーズ量は、 $1 \times 10^{14} \text{ atoms/cm}^2$ 以上、好ましくは $1 \times 10^{15} \text{ atoms/cm}^2$ 以上に設定する。また、イオン注入エネル

ギーは、結晶欠陥領域3を形成する深さに応じて設定することになる。具体的には、フッ素イオンを注入して、例えば単結晶シリコン基板1の約450nm程度の深さにピークを形成した分布状態を得ようとする場合には、約200KeV前後の注入エネルギーに設定される。

【0025】尚、上記第1のイオン注入工程で使用するイオンは、水素、ヘリウム以外のイオン重量が比較的大きく且つ熱処理に応じて単結晶シリコン中から脱離可能なイオン種であればフッ素に限らないものであり、単結晶シリコン基板1に悪影響を及ぼさないものであれば良い。従って、例えば塩素やシリコン、或いはネオン、アルゴン、キセノンのような希ガスなどを使用できる。また、上記汚染保護膜2は、熱酸化による成膜或いはCVD法やPVD法などの堆積法によって、均一な膜厚（好ましくは50～100nm程度）となるように形成されるものであるが、必要に応じて設ければ良いものである。

【0026】この後、図1（b）に示す第2のイオン注入工程では、単結晶シリコン基板1の表面から前記第1のイオン注入工程とは異なるイオンである例えは水素イオンを注入することにより、前記結晶欠陥領域3中に上記単結晶シリコン基板1の剥離現象を引き起こすための剥離用元素分布層4を形成する。尚、この剥離用元素分布層4は、単結晶シリコン基板1の表面と平行した状態で分布するように形成されるものである。

【0027】この場合、水素イオンのドーズ量は、 5×10^{15} atoms/cm²以上、好ましくは 1×10^{16} atoms/cm²以上に設定する。また、イオン注入エネルギーは、このときに形成される剥離用元素分布層4の濃度のピークが前記結晶欠陥領域3の濃度のピークと一致するように設定することが望ましい。具体的には、水素イオンを注入して、結晶欠陥領域3と同一深さ（単結晶シリコン基板1の約450nm程度の深さ）にピークを形成した分布状態を得ようとする場合には、約50KeV程度の注入エネルギーに設定することになる。

【0028】ここで、第1のイオン注入工程でのフッ素イオンのドーズ量を 1×10^{15} atoms/cm²、そのイオン注入エネルギーを約200KeV、また、第2のイオン注入工程での水素イオンのドーズ量を 1×10^{16} atoms/cm²、そのイオン注入エネルギーを約50KeVとした場合、単結晶シリコン基板1中におけるフッ素及び水素の濃度分布のプロファイルは図2に示すようになる。

【0029】そして、このように結晶欠陥領域3及び剥離用元素分布層4の濃度ピークがほぼ一致するように構成された場合には、後述の剥離工程での熱処理によって、単結晶シリコン基板1が当該剥離用元素分布層4部分で剥離される現象を引き起こすのに必要となるドーズ量は、上記のような例（フッ素イオン： 1×10^{15} atoms/cm²、水素イオン： 1×10^{16} atoms/cm²）

で十分な状態になる。尚、第2のイオン注入工程では、水素の原子イオン若しくは分子イオン以外に、ヘリウムのような希ガスなどの原子イオン若しくは分子イオンを用いることができる。

【0030】上記第2のイオン注入工程の実行後には、図1（c）、（d）に示す貼り合わせ工程を実行する。この貼り合わせ工程では、まず、単結晶シリコン基板1上の汚染保護膜2を、例えばフッ酸水溶液を用いた化学エッチング、或いは機械研磨やドライエッティングによって全部除去して、そのイオン注入側の面を露出させる。次いで、例えば単結晶シリコン基板より成るベース基板5を用意し、このベース基板5上に、熱酸化やCVD法などにより均一な膜厚のシリコン酸化膜より成る絶縁膜6を形成する。尚、この絶縁膜6は、最終的にSOI構造を形成した場合に絶縁分離膜になるものであり、その膜厚はSOI基板の設計形状に応じた値に設定される。

【0031】さらに、単結晶シリコン基板1のイオン注入側の表面、並びにベース基板5の絶縁膜6側の表面に親水化処理を施す。具体的には、例えは90～120℃程度に保温された硫酸と過酸化水素水との混合溶液（H₂SO₄ : H₂O₂ = 4 : 1）による洗浄及び純水洗浄を順次行った後に、スピンドル乾燥により各基板1及び5の表面に吸着する水分量を制御する。そして、この後に、単結晶シリコン1及びベース基板5を上記親水化処理面で密着させて貼り合わせる。これにより各基板1及び5は、各々の表面に形成されたシラノール基及び表面に吸着した水分子の水素結合によって接着される。

【0032】尚、この実施例では、単結晶シリコン基板1上の汚染保護膜2を全部除去する構成としたが、その汚染保護膜2の表面のみを除去することにより貼り合わせ面として利用する構成としても良く、また、このような汚染保護膜2をSOI構造における絶縁分離膜として利用できる場合には、前記ベース基板5側に絶縁膜6を形成する必要がなくなる。

【0033】上記貼り合わせ工程の実行後には図1（e）に示す剥離工程を行う。この剥離工程では、単結晶シリコン基板1及びベース基板5の一体物に対して熱処理を施すことによって、単結晶シリコン基板1を前記剥離用元素分布層4部分で剥離するものであり、これにより、ベース基板5上に絶縁膜6を介して単結晶シリコン薄膜7（本発明でいう半導体層に相当）が積層された形態のSOI構造が形成されることになる。

【0034】このとき、具体的には、本実施例のように剥離用元素分布層4が水素イオンの注入により形成されたものであった場合には、500～600℃程度で熱処理を行うことが好ましい。このような熱処理によって、結晶欠陥領域3中に形成された剥離用元素分布層4内に配置された水素により生じる微小気泡の圧力が上昇するようになり、これに応じて当該剥離用元素分布層4部分を境界とした剥離が生ずることになる。

【0035】この剥離工程の実行後には、引き続いて熱処理工程を実行する。この熱処理工程では、剥離工程での熱処理温度より高温（1000℃以上、好ましくは150℃～1200℃程度）の熱処理を施すことにより、前記貼り合わせ面の接合強度を強化すると共に、剥離を引き起こした剥離用元素分布層4部分の緩和、並びに結晶欠陥領域3を構成するフッ素の結晶構造中からの脱離を促進する。

【0036】この場合、上記のような単結晶シリコン薄膜7の剥離面には、イオン注入に伴い形成された欠陥層が残存すると共に、微小段差が生ずることになる。このため、本実施例では、上記剥離面に対し化学的機械研磨を施すことにより、上記欠陥層及び微小段差を除去して面粗度を向上させるという平坦化工程（図1（f）参照）を実行し、以て最終的に同図1（f）に示すようなSOI基板8（本発明でいう半導体基板に相当）を完成させるようにしている。但し、上記平坦化工程は必要に応じて行けば良いものである。

【0037】尚、剥離工程を経て単結晶シリコン薄膜7部分が剥離された単結晶シリコン基板1は、例えば、残置された結晶欠陥領域3中からフッ素を脱離させる熱処理工程、剥離面を平坦化するという再生用の平坦化工程を実行することによって、他のSOI基板の製造のために再利用されるものである。

【0038】上記したSOI基板8の製造方法によれば、第1のイオン注入工程においては、結晶欠陥を効率良く形成することができる比較的重量の大きいイオン

（本実施例ではフッ素イオン）の注入により、結晶欠陥領域3を形成しているから、そのドーズ量を多くする必要がなくなる。また、第2のイオン注入工程の実行に応じて、上記結晶欠陥領域3中に第1のイオン注入工程とは異なるイオン（本実施例では水素イオン）を注入して剥離用元素分布層4を形成した場合には、当該水素イオンにより剥離用元素分布層4のみを形成した場合に比べて、単結晶シリコン基板1に剥離現象を引き起こすのに必要なドーズ量が大幅に減少することが知られている。

【0039】このため、第1のイオン注入工程及び第2のイオン注入工程を行うものでありながら、各イオン注入工程でのドーズ量を、1回のイオン注入により剥離用元素分布層を形成する場合に比べて大幅に低減させることができる。

【0040】このことを具体的な実例を挙げて説明すると、以下となる。即ち、従来のように、単結晶シリコン基板中に水素イオンのみを注入して剥離用元素分布層を形成した場合、熱処理に応じて上記剥離用元素分布層部分で確実な剥離現象を発生させるためには、例えば 8×10^{16} atoms/cm²程度のドーズ量に設定することが望ましい。これに対して、本実施例による製造方法において、剥離用元素分布層4部分で確実な剥離現象を発生させるためには、結晶欠陥領域3のためのフッ素

イオンのドーズ量は 1×10^{15} atoms/cm²程度、剥離用元素分布層4のための水素イオンのドーズ量は 1×10^{16} atoms/cm²程度で済むことが実験的に明らかとなっている。

【0041】このような第1のイオン注入工程及び第2のイオン注入工程を行う場合のイオン注入時間の合計は0.45時間程度（実際には、この他に各工程間の切換のために5～10分程度必要）で済むのに対して、従来の製造方法では、水素イオンの注入時間が3.2時間程度必要になる。従って、本実施例の製造方法によれば、第1及び第2のイオン注入工程を通じてのスループットが、水素イオンの注入のみを行う従来の製造方法に比べて格段に向上するものであり、SOI基板8の製造に要する時間を大幅に短縮できるようになる。

【0042】また、本実施例のように、第1のイオン注入工程を行った後に第2のイオン注入工程を行うようにした場合、つまり結晶欠陥領域3中に後から剥離用元素分布層4を形成するようにした場合には、その剥離用元素分布層4の深さ位置のばらつき（測定値は±3σの範囲）が結晶欠陥領域3を形成しない場合に比べて1/3程度に小さくなることが実験的に知られている。これは少ないイオン注入量で基板剥離を実現したことによるものであり、単結晶シリコン薄膜7の膜厚均一性を高めることができになる。尚、上記第1実施例において、第1のイオン注入工程及び第2のイオン注入工程は、逆順で行っても良いものである。

【0043】（第2の実施の形態）図3及び図4には本発明の第2実施例が示されており、以下これについて前記第1実施例と異なる部分についてのみ説明する。尚、図3及び図4は、前記図1と同様にSOI基板を製造する場合の基本工程を模式的な断面図により示したものである。即ち、この第2実施例は、SOI基板におけるベース基板及び単結晶シリコン薄膜間に、埋込パターン構造（例えばFETのような素子のためのバックゲートなど）を形成する場合に適した製造方法を開示しようとするものである。

【0044】まず、図3（a）に示すパターン構造形成工程では、単結晶シリコン基板1の表面側に、熱酸化などによって最終的に絶縁膜9（図4（j）参照）となるシリコン酸化膜9aを形成する。続いて、CVD法などにより多結晶シリコンを堆積させた後に、その堆積膜をフォトリソグラフィ処理及びエッチング処理によりパターンングすることにより、所定形状の多結晶シリコン膜10を形成する。さらに、CVD法などによって最終的に絶縁膜9となるシリコン酸化膜9bを堆積させ、以て埋込パターン構造11を形成する。

【0045】次に、図3（b）に示す第1のイオン注入工程では、単結晶シリコン基板1に対し、図中矢印で示すように埋込パターン構造11側から例えばフッ素イオンを注入することにより、所定深さ範囲に分布した結晶

欠陥領域12を形成する。尚、この結晶欠陥領域12は、埋込パターン構造11の存在に起因して波打った状態となる。この場合、フッ素イオンのドーズ量は、 1×10^{14} atoms/cm²以上、好ましくは 1×10^{15} atoms/cm²以上に設定する。また、イオン注入エネルギーは、結晶欠陥領域12を形成する深さに応じて設定することになる。

【0046】この後には、図3(c)、(d)に示すように、単結晶シリコン基板1に対し前記第1のイオン注入工程とは異なるイオンである例えば水素イオンを注入するための第2のイオン注入工程を2回に分けて実行する。つまり、前記結晶欠陥領域12中に単結晶シリコン基板1の表面と平行した状態で分布した剥離用元素分布層4を形成するためには、イオン注入領域の構造の相違によるイオン注入深さの変化を考慮してイオン注入エネルギーを制御する必要が出てくるため、第2のイオン注入工程を2回に分けて実行するものである。

【0047】具体的には、第2のイオン注入工程では、まず、図3(c)に示すように、単結晶シリコン基板1上の埋込パターン構造11における多結晶シリコン膜10と対応した部分にフォトレジストによるレジストパターン13を形成し、この状態で1回目の水素イオンの注入を行うことによりイオン注入領域4aを形成する。次いで、図3(d)に示すように、上記レジストパターン13を剥離した後に、埋込パターン構造11における多結晶シリコン膜10と対応しない部分にフォトレジストによるレジストパターン14を形成し、この状態で2回目の水素イオンの注入を、そのイオン注入エネルギーを1回目より大きくした状態で行うことによりイオン注入領域4bを形成する。尚、水素イオンのドーズ量は、 5×10^{15} atoms/cm²以上、好ましくは 1×10^{16} atoms/cm²以上に設定する。また、レジストパターン14は、イオン注入後に剥離される。

【0048】この場合、1回目及び2回目のイオン注入エネルギーは、イオン注入領域4a及び4bの濃度ピークが同一の深さとなるように設定されるものであり、これにより、結晶欠陥領域12中に単結晶シリコン基板1の表面と平行した状態で分布した剥離用元素分布層4が形成される。

【0049】また、この場合において、フッ素イオンの注入により形成された結晶欠陥領域12は波打った状態となっているが、前述した図2に示すように、単結晶シリコン基板1中におけるフッ素の濃度分布は、その深さの変化に対し比較的緩やかに変化しているから、大きな支障が出ることはない。つまり、結晶欠陥領域12は、その濃度が 1×10^{19} atoms/cm³以上あれば所期の目的を達成できるものであり、従って、波打った状態の結晶欠陥領域12中に単結晶シリコン基板1の表面と平行した状態の剥離用元素分布層4を形成しても支障がなくなるものである。

【0050】尚、前記第1のイオン注入工程を、上述したような第2のイオン注入工程と同様の手法により2回に分けて実行することにより、所定深さ範囲に単結晶シリコン基板1の表面と平行した状態で分布した結晶欠陥領域を形成する構成とすることもできる。

【0051】次に、図3(e)に示す平坦化膜成膜工程では、埋込パターン構造11上に、CVD法やPVD法などを用いて多結晶シリコン、アモルファスシリコンあるいは酸化シリコンなどより成る平坦化処理膜15を形成する。この後、図3(f)に示す貼り合わせ面形成工程では、上記平坦化処理膜15の表面を研磨することにより、下地となる埋込パターン構造11に起因する表面段差を除去し、以てその表面を平坦化する。

【0052】この後には、図4(g)、(h)に示す貼り合わせ工程を実行する。この貼り合わせ工程では、まず、単結晶シリコン基板1における平坦化処理膜15の表面、並びにベース基板5の表面に、前記第1実施例と同様の親水化処理を施す。そして、この後に、単結晶シリコン1及びベース基板5を上記親水化処理面で密着させて貼り合わせる。これにより各基板1及び5は、各自の表面に形成されたシラノール基及び表面に吸着した水分子の水素結合によって接着される。

【0053】上記貼り合わせ工程の実行後には図4(i)に示す剥離工程を行う。この剥離工程では、単結晶シリコン基板1及びベース基板5の一体物に対して、第1実施例と同様の熱処理を施すことによって、単結晶シリコン基板1を前記剥離用元素分布層4部分で剥離するものであり、これにより、ベース基板5上に埋込パターン構造11などを介して単結晶シリコン薄膜7が積層された形態のSOI構造が形成されることになる。

【0054】この剥離工程の実行後には、引き続いて熱処理工程（処理条件は第1実施例と同じ）を実行することにより、前記貼り合わせ面の接合強度を強化すると共に、剥離を引き起こした剥離用元素分布層4部分の緩和、並びに結晶欠陥領域12を構成するフッ素の結晶構造中の脱離を促進する。さらに、上記剥離面に対し化学的機械研磨を施すという平坦化工程（図4(j)参照）を実行し、以て最終的に同図4(j)に示すような埋込パターン構造11を備えたSOI基板16（本発明でいう半導体基板に相当）を完成させるようしている。尚、上記平坦化工程は必要に応じて行えば良いものである。

【0055】このように構成した本実施例によても、前記第1実施例と同様の効果を奏するものである。特に、本実施例によれば、SOI基板16における単結晶シリコン薄膜7と埋込パターン構造11との間の接合面が、単結晶シリコン基板1とこれの表面に熱酸化などによって形成されたシリコン酸化膜9aとの界面に相当することになるから、その界面を安定した状態とすることができるSOI基板としての特性が向上するようにな

る。

【0056】尚、上記第2実施例では、パターン構造形成工程において、単結晶シリコン基板1側に埋込パターン構造11を形成しておく構成としたが、これに代えて、ベース基板5の表面側に加工処理を行うことにより埋込パターン構造を形成するパターン構造形成工程を実行し、この後に、平坦化膜成膜工程、貼り合わせ面形成工程、貼り合わせ工程、剥離工程などを同様に行うことにより、ベース基板5及び単結晶シリコン薄膜7間に前記埋込パターン構造を設ける構成としても良い。この場合には、第2実施例のように第2のイオン注入工程を2回に分けて行う必要がなくなる。

【0057】(第3の実施の形態) 図5には本発明の第3実施例が示されており、以下これについて前記第1実施例と異なる部分についてのみ説明する。尚、図5は、前記図1と同様にSOI基板を製造する場合の基本工程を模式的な断面図により示したものである。

【0058】即ち、図5(a)に示すイオン注入工程では、第1実施例における第1のイオン注入工程と同様に、単結晶シリコン基板1上に、熱酸化などによってシリコン酸化膜よりなる汚染保護膜2を成膜した上で、その単結晶シリコン基板1に対し、図中矢印で示すように汚染保護膜2側から例えばフッ素イオンを注入することにより、所定深さ範囲に単結晶シリコン基板1の表面と平行した状態で分布した結晶欠陥領域3を形成する。

【0059】この後、図5(b)に示す拡散工程では、上記イオン注入工程での注入イオン元素(フッ素)と異なる元素である例えば水素ガスを含む雰囲気中において、単結晶シリコン基板1に対しその剥離現象が生じる温度(500°C程度以上)の下限値より低い温度の熱処理を施す。尚、上記水素ガス雰囲気は、例えば、大気圧或いは減圧した状態(真空状態も含む)のエアチャンバー内にキャリアガスとして水素を流すことにより形成すれば良い。

【0060】このような熱処理に応じて、水素ガス雰囲気中から前記結晶欠陥領域3中に水素が取り込まれるようになり、これにより当該結晶欠陥領域3中の高濃度部分(結晶欠陥が相対的に多い部分)に集中的に位置した状態の剥離用元素分布層17が形成される。この場合、剥離用元素分布層17の水素濃度は、 $1 \times 10^{20} \text{ atom s/cm}^3$ 以上に設定することが望ましい。

【0061】尚、上記のような剥離用元素分布層17を形成するのに必要な熱処理時間(拡散工程の所要時間)は、以下の関係式から導き出すことができる。即ち、例えばS. J. Pearton、J. W. Corbett、M. Stavola著の“Hydrogen in Crystalline Semiconductors”, Springer-Verlag社発刊(1991年10月)に記載されているように、シリコンに対し熱処理により不純物拡散するときの拡散長X(cm)の平均値は、

$$X = (D \cdot t)^{1/2}$$

で与えられる。但し、Dは拡散係数(cm^2/sec)、tは熱処理時間(sec)である。また、拡散係数Dは、次式で与えられる。

$$【0062】 D = D_0 \cdot \exp(-E_a / kT)$$

但し、D₀は温度が無限大のときのDの値で、D₀ = $4.2 \times 10^{-5} (\text{cm}^2/\text{sec})$ 、E_aは活性化エネルギー($=0.56 (\text{eV})$)、kはボルツマン係数($=8.667 \times 10^{-5} (\text{eV/K})$)、Tは温度(K)である。

【0063】例えば、熱処理温度が200°C、汚染保護膜2の膜厚が100nmの状態で、単結晶シリコン基板1中に400nmの深さまで水素を拡散させる際の熱処理時間を求める場合において、上記汚染保護膜2を構成するシリコン酸化膜中の拡散係数もほぼ同等として大ざっぱに仮定した場合には、上記各関係式に基づいた演算によれば、およそ1.5時間程度の熱処理を施せば良いことが分かる。

【0064】一方、上記のような拡散工程の実行後には、図5(c)、(d)に示す貼り合わせ工程を第1実施例と同様に実行して、単結晶シリコン基板1とベース基板5とを貼り合わせた後に、図5(e)に示す剥離工程を第1実施例と同様に実行して、単結晶シリコン基板1を剥離用元素分布層17部分で剥離し、SOI構造を形成する。さらに、剥離工程の実行後に高温の熱処理工程を第1実施例と同様に実行して、両基板1及び5の貼り合わせ面の接合強度の強化や結晶欠陥領域3を構成するフッ素の結晶構造中の脱離の促進などを図った後に、図5(f)に示す平坦化工程を第1実施例と同様に実行して、SOI基板8を完成させることになる。

【0065】この第3実施例による製造方法によっても、イオン注入工程では、結晶欠陥を効率良く形成することができる比較的重量の大きいフッ素イオンの注入により、結晶欠陥領域3を形成しているから、そのドーザ量を多くする必要がなくなり、当該イオン注入工程の所要時間が短くなる。また、この後に行われる拡散工程の所要時間も、前述したような条件によれば1.5時間程度程度で済むものであり、イオン注入工程及び拡散工程を通じてのスループットが、水素イオンの注入のみを行う従来の製造方法に比べて向上するものであり、SOI基板8の製造に要する時間を短縮できるようになる。

【0066】尚、この第3実施例において、拡散工程での熱処理を水素ガス雰囲気中で行う構成としたが、水素をプラズマ化した真空状態の雰囲気中で行う構成としても良い。また、拡散工程で使用する元素は水素に限らず、ヘリウムなどの希ガスや、NH₄、CH₄、H₂Oなどの水素化物を使用しても良いものである。

【0067】(第4の実施の形態) 図6には、上記第3実施例とほぼ同様の効果を奏する本発明の第4実施例が示されており、以下これについて前記第1実施例及び第3実施例と異なる部分についてのみ説明する。尚、図6

は、前記図1と同様にSOI基板を製造する場合の基本工程を模式的な断面図により示したものである。

【0068】即ち、図6(a)に示すイオン注入工程では、第1実施例における第1のイオン注入工程と同様に、単結晶シリコン基板1上に、熱酸化などによってシリコン酸化膜より成る汚染保護膜2を成膜した上で、その単結晶シリコン基板1に対し、図中矢印で示すように汚染保護膜2側から例えばフッ素イオンを注入することにより、所定深さ範囲に単結晶シリコン基板1の表面と平行した状態で分布した結晶欠陥領域3を形成する。

【0069】次に、図6(b)に示す成膜工程では、汚染保護膜2を残した状態若しくは除去した状態(図6(b)以降の例は残した状態を示す)において、単結晶シリコン基板1上に、水素化アモルファスシリコン膜18(本発明でいう水素化アモルファス半導体膜に相当)を形成する。具体的には、上記水素化アモルファスシリコン膜18は、シリコン系のガスソース(例えばSiH4のArまたはH2希釈ガス)を用いた高周波プラズマCVD法によって例えば350°C、0.5torrの条件下で堆積されるもので、その水素濃度は、例えば $5 \times 10^{21} \text{ atoms/cm}^3$ 程度とされる。また、水素化アモルファスシリコン膜18の膜厚は、その水素濃度が上記のような状態であった場合に10nm程度以上に設定すれば良い。

【0070】この後、図6(c)に示す拡散工程では、単結晶シリコン基板1に対しその剥離現象が生じる温度(500°C程度以上)の下限値より低い温度の熱処理を施す。このような熱処理に応じて、水素化アモルファスシリコン膜18中から固相拡散する水素が前記結晶欠陥領域3中に取り込まれるようになり、これにより当該結晶欠陥領域3中の高濃度部分(結晶欠陥が相対的に多い部分)に集中的に位置した状態の剥離用元素分布層17が形成される。この場合、剥離用元素分布層17の水素濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以上に設定することが望ましい。尚、上記のような剥離用元素分布層17を形成するのに必要な熱処理時間(拡散工程の所要時間)は、前記第3実施例における拡散工程での熱処理時間とほぼ同等になると考えられる。

【0071】上記のような拡散工程の実行後には、例えばTMAH或いはフッ硝酸系のエッチング液を使用して水素化アモルファスシリコン膜18を取り除く除去工程を行った後に、図6(c)、(d)に示す貼り合わせ工程を前記第1実施例と同様に実行する。この貼り合わせ工程では、汚染保護膜2の除去や、貼り合わせ面の親水化処理などを行った状態で、単結晶シリコン基板1とベース基板5とを貼り合わせる。この後に、図6(e)に示す剥離工程を第1実施例と同様に実行して、単結晶シリコン基板1を剥離用元素分布層17部分で剥離し、SOI構造を形成する。さらに、剥離工程の実行後に高温の熱処理工程を第1実施例と同様に実行して、両基板1

及び5の貼り合わせ面の接合強度の強化や結晶欠陥領域3を構成するフッ素の結晶構造中からの脱離の促進などを図った後に、図6(f)に示す平坦化工程を第1実施例と同様に実行して、SOI基板8を完成させることになる。

【0072】尚、この第4実施例において、汚染保護膜2を残すことによって、これをSOI構造の絶縁分離膜として機能させる構成とする場合には、水素化アモルファスシリコン膜18を取り除くための除去工程は、必要に応じて行えば良いものである。

【0073】(第5の実施の形態)図7には、上記第4実施例に変更を加えた本発明の第5実施例が示されており、以下これについて前記第1実施例及び第4実施例と異なる部分についてのみ説明する。尚、図7は、前記図1と同様にSOI基板を製造する場合の基本工程を模式的な断面図により示したものである。

【0074】即ち、図7(a)に示すイオン注入工程では、第1実施例における第1のイオン注入工程と同様の処理を行う。次に、図7(b)に示す成膜工程では、ベース基板5上に、水素化アモルファスシリコン膜19(本発明でいう水素化アモルファス半導体膜に相当)を、第4実施例と同様に形成する。

【0075】この後、図7(c)に示す貼り合わせ工程を実行する。この貼り合わせ工程では、まず、単結晶シリコン基板1上の汚染保護膜2(これは最終的にSOI構造を形成した場合の絶縁分離膜となる)の表面を平坦化する処理を行った後に、その汚染保護膜2の表面、並びにベース基板5の水素化アモルファスシリコン膜19側の表面に、第1実施例における貼り合わせ工程の場合と同様の親水化処理を施す。この後に、単結晶シリコン1及びベース基板5を上記親水化処理面で密着させて貼り合わせることにより各基板1及び5を、各々の表面に形成されたシラノール基及び表面に吸着した水分子の水素結合によって接着する。

【0076】次いで、図7(d)に示す拡散工程では、単結晶シリコン基板1及びベース基板5の一体物に対しその剥離現象が生じる温度(500°C程度以上)の下限値より低い温度の熱処理を施す。このような熱処理に応じて、水素化アモルファスシリコン膜19中から固相拡散する水素が前記結晶欠陥領域3中に取り込まれるようになり、これにより当該結晶欠陥領域3中の高濃度部分(結晶欠陥が相対的に多い部分)に集中的に位置した状態の剥離用元素分布層17が形成される。この場合、剥離用元素分布層17の水素濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以上に設定することが望ましい。尚、上記のような剥離用元素分布層17を形成するのに必要な熱処理時間(拡散工程の所要時間)も、前記第3実施例における拡散工程での熱処理時間とほぼ同等になると考えられる。

【0077】上記のような拡散工程の実行後には、図7(e)に示す剥離工程を第1実施例と同様に実行して、

単結晶シリコン基板1を剥離用元素分布層17部分で剥離し、SOI構造を形成する。さらに、剥離工程の実行後に高温の熱処理工程を第1実施例と同様に実行して、両基板1及び5の貼り合わせ面の接合強度の強化や結晶欠陥領域3を構成するフッ素の結晶構造中からの脱離の促進などを図った後に、図7(f)に示す平坦化工程を第1実施例と同様に実行して、SOI基板8'を完成させることになる。

【0078】尚、この第5実施例では、単結晶シリコン基板1側の汚染保護膜2を、最終的にSOI構造を形成した場合の絶縁分離膜として利用する構成としたが、ベース基板5側の水素化アモルファスシリコン膜19上に熱酸化などにより絶縁膜を形成する構成とすれば、この絶縁膜を絶縁分離膜として利用できるようになって、上記汚染保護膜2を除去することも可能になる。

【0079】(第6の実施の形態) 図8には本発明の第6実施例が示されており、以下これについて前記第1実施例と異なる部分についてのみ説明する。尚、図8は、前記図1と同様にSOI基板を製造する場合の基本工程を模式的な断面図により示したものである。

【0080】即ち、図8(a)に示すイオン注入工程では、単結晶シリコン基板1上に、熱酸化などによってシリコン酸化膜より成る汚染保護膜2を成膜した上で、その単結晶シリコン基板1に対し、図中矢印で示すように汚染保護膜2側から、水素と重量が比較的大きい結晶欠陥形成用元素(例えば炭素、シリコン、酸素など)との化合物(CH₄、SiH₄、Si₂H₃、H₂Oなど)より成るイオンを注入する。

【0081】このような水素化物をイオン注入する上では、結晶欠陥形成用元素と水素とで形成される分子について何種類かの選択が可能である。具体的には、CH₄を用いる場合には、イオン注入装置内でイオン化される際に、CH₄⁺の他に、CH₃⁺、CH₂⁺、CH⁺などの水素化物イオンが発生する。これらの水素化物は何れも水素やヘリウムなどに比べてイオン重量が大きいため、単結晶シリコン中で容易に結晶欠陥領域20を形成し、なおかつ、分子イオン注入の水素がその欠陥領域20内に配置されることにより剥離用元素分布層21が形成される。

【0082】この場合、イオン注入エネルギーは、結晶欠陥領域20及び剥離用元素分布層21を形成する深さに応じて設定することになる。また、イオンのドーズ量は、水素原子に換算した状態で5×10¹⁵atoms/cm²以上、好ましくは1×10¹⁶atoms/cm²以上となるように設定する。

【0083】この後には、図8(b)、(c)に示す貼り合わせ工程を第1実施例と同様に実行して、単結晶シリコン基板1とベース基板5とを貼り合わせた後に、図8(d)に示す剥離工程を第1実施例と同様に実行して、単結晶シリコン基板1を剥離用元素分布層21部分

で剥離し、SOI構造を形成する。さらに、剥離工程の実行後に高温の熱処理工程を第1実施例と同様に実行して、両基板1及び5の貼り合わせ面の接合強度の強化や結晶欠陥領域20を構成するフッ素の結晶構造中からの脱離の促進などを図った後に、図8(e)に示す平坦化工程を第1実施例と同様に実行して、SOI基板8を完成させることになる。

【0084】このようなSOI基板8の製造方法によれば、1回のイオン注入工程によって、重量が比較的大きい元素による結晶欠陥領域20と、この結晶欠陥領域20中に位置された水素による剥離用元素分布層21が同時に形成されることになって、そのイオン注入工程でのドーズ量を多くする必要がなくなる。この結果、イオン注入工程でのスループットが向上すると共に、複数回に分けてイオン注入を行う必要がなくなるものであり、総じてSOI基板8の製造に要する時間を大幅に短縮できるようになる。

【0085】(その他の実施の形態) 本発明は上記した各実施例に限定されるものではなく、次のような変形または拡張が可能である。第2実施例中で述べたような埋込パターン構造の製造手法を第3ないし第6の各実施例に適用することもできる。半導体基板材料として単結晶シリコン基板1を用いる構成としたが、4族元素を主体とした半導体であれば、例えば、Ge、SiC、SiGe或いはダイヤモンドなどの基板を用いることができ、また多結晶シリコン基板や、単結晶若しくは多孔質シリコン基板上に、エピタキシャル成長により単結晶膜を形成した基板を用いることもできる。第4及び第5実施例では、水素化アモルファス半導体膜として、水素化アモルファスシリコン膜18及び19をそれぞれ形成する構成としたが、これらも他の半導体材料を元に形成しても良いものである。

【0086】ベース基板5の材料としては、単結晶シリコン基板に限らず、他の半導体基板或いは絶縁性を有するセラミック基板やガラス基板などを用いることができる。この場合、ベース基板そのものが絶縁性を有するものであれば、ベース基板15に絶縁膜6を設ける必要がなくなる。

【図面の簡単な説明】

【図1】本発明の第1実施例による製造方法を示す模式的に示す断面図

【図2】製造途中の段階での単結晶シリコン基板中のフッ素及び水素の濃度分布のプロファイルを示す図

【図3】本発明の第2実施例による製造方法を示す模式的に示す断面図その1

【図4】同第2実施例による製造方法を示す模式的に示す断面図その2

【図5】本発明の第3実施例による製造方法を示す模式的に示す断面図

【図6】本発明の第4実施例による製造方法を示す模式

的に示す断面図

【図7】本発明の第5実施例による製造方法を示す模式的に示す断面図

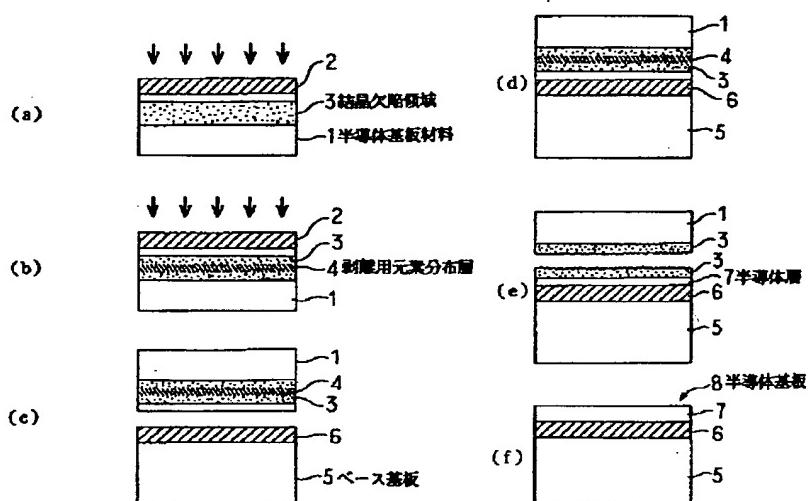
【図8】本発明の第6実施例による製造方法を示す模式的に示す断面図

【符号の説明】

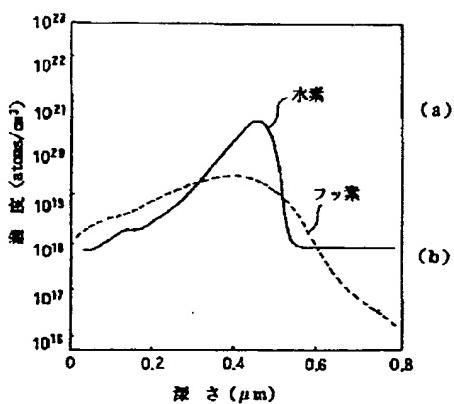
1は単結晶シリコン基板（半導体基板材料）、2は汚染保護膜、3は結晶欠陥領域、4は剥離用元素分布層、5

はベース基板、6は絶縁膜、7は単結晶シリコン薄膜（半導体層）、8、8'はSOI基板（半導体基板）、9は絶縁膜、10は多結晶シリコン膜、11は埋込パターン構造、12は結晶欠陥領域、15は平坦化処理膜、16はSOI基板（半導体基板）、17は剥離用元素分布層、18、19は水素化アモルファスシリコン膜（水素化アモルファス半導体膜）、20は結晶欠陥領域、21は剥離用元素分布層を示す。

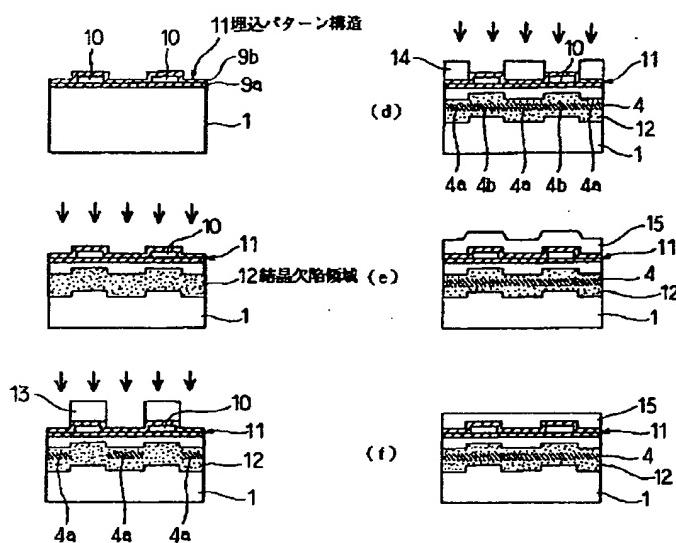
【図1】



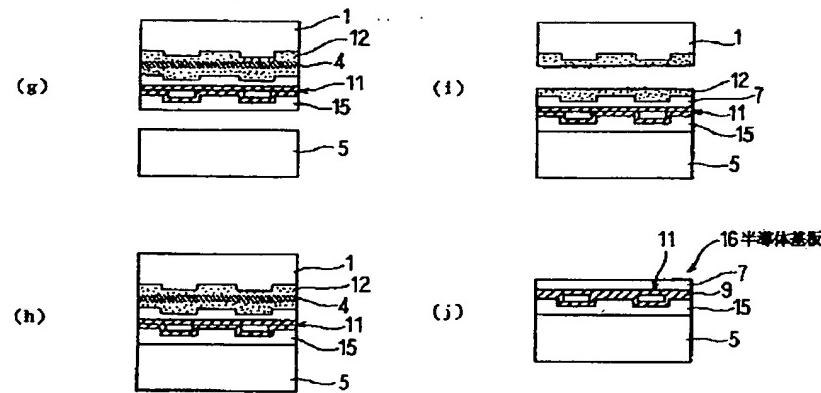
【図2】



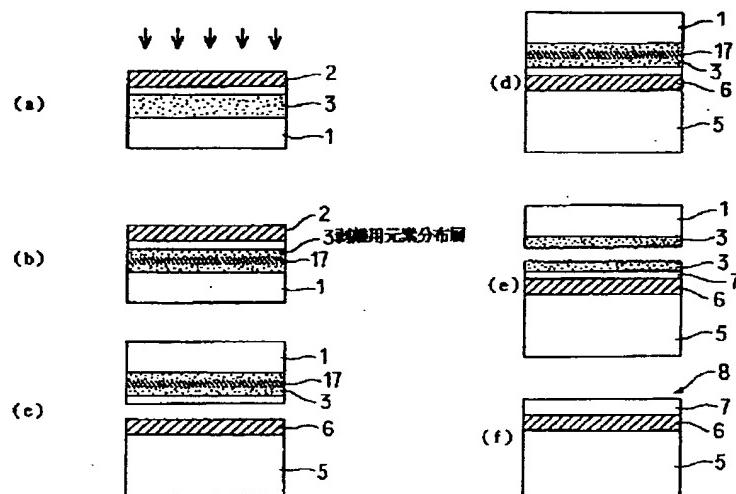
【図3】



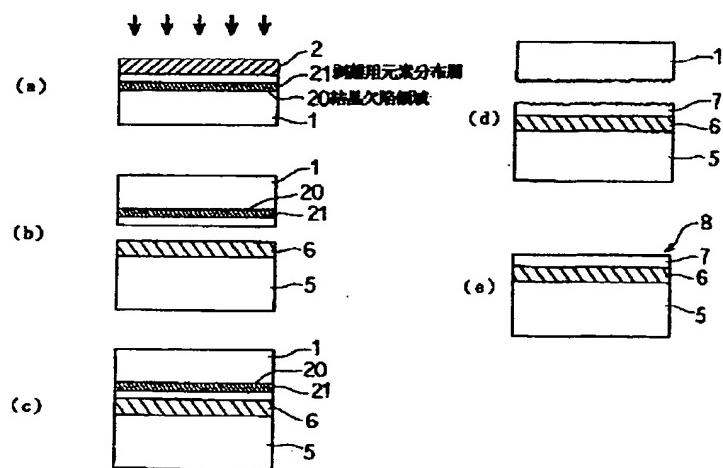
【図4】



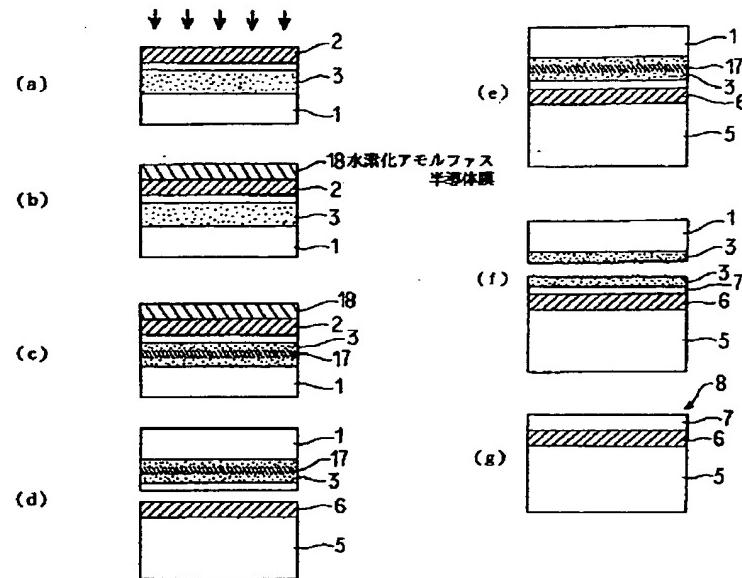
【図5】



【図8】



【図6】



【図7】

